

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

010697817 **Image available**

WPI Acc No: 1996-194772/199620

XRPX Acc No: N96-163384

Active matrix type display device - has FM unit which modulates clock signal according to supplied linearity data and hence regulates linearity of display screen

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8065609	A	19960308	JP 94222590	A	19940824	199620 B

Priority Applications (No Type Date): JP 94222590 A 19940824

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8065609	A		7 H04N-005/66	

Abstract (Basic): JP 8065609 A

The device has a decoder unit (2) which inputs a video signal (Vsig) to the display panel (1). The clock signal (VCK,HCK) are input by a timing generator (3) to the display panel. The display panel consists of a pixel array (4), and a perpendicular drive circuits (5) and a horizontal drive circuit (6). The drive circuits are operated according to the input clock signal.

The input video signal is sequentially written on the pixel array and the drive circuits and a screen is displayed. The timing generator output clock signal is modulated to control display linearity.

ADVANTAGE - Provides simple composition. Reduces parts count.

Eliminates requirement for digital and analog processing of video signal.

Dwg.1/9

Title Terms: ACTIVE; MATRIX; TYPE; DISPLAY; DEVICE; FM; UNIT; MODULATE;

CLOCK; SIGNAL; ACCORD; SUPPLY; LINEAR; DATA; REGULATE; LINEAR; DISPLAY; SCREEN

Derwent Class: P81; P85; T04; U14; U22; W03

International Patent Class (Main): H04N-005/66

International Patent Class (Additional): G02F-001/133; G09G-003/20;

G09G-003/36; G09G-005/00

File Segment: EPI; EngPI

Best Available Copy

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

05110109 **Image available**

DISPLAY DEVICE

PUB. NO.: 08-065609 [JP 8065609 A]

PUBLISHED: March 08, 1996 (19960308)

INVENTOR(s): YOSHINE HIROYUKI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 06-222590 [JP 94222590]

FILED: August 24, 1994 (19940824)

INTL CLASS: [6] H04N-005/66; G02F-001/133; G09G-003/20; G09G-003/36;
G09G-005/00

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

ABSTRACT

PURPOSE: To adjust the screen linearity of an active matrix type display panel, in which driving circuits are built, through simple constitution.

CONSTITUTION: The display device is equipped with the display panel 1, a decoder driver 2 which inputs a video signal Vsig thereto, and a timing generator 3 which inputs clock signals VCK and HCK to the display panel 1. The display panel 1 is equipped with pixel arrays 4 arranged in matrix, and the vertical driving circuit 5 and horizontal driving circuit 6. Those driving circuits 5 and 6 operate according to the inputted clock signals VCK and HCK and write the inputted video signal Vsig in the pixel arrays 4 in order to display a screen. The timing generator 3 is equipped with an FM modulating means 7 which modulates the frequencies of the clock signals VCK and HCK according to given linearity data to adjust the linearity of the displayed screen.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-65609

(43) 公開日 平成8年(1996)3月8日

(51) IntCl ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/66	1 0 2 B			
G 0 2 F 1/133	5 5 0			
G 0 9 G 3/20		U 4237-5H		
		V 4237-5H		
3/36				

審査請求 未請求 請求項の数7 FD (全7頁) 最終頁に続く

(21) 出願番号 特願平6-222590

(22) 出願日 平成6年(1994)8月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 芳根 裕之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

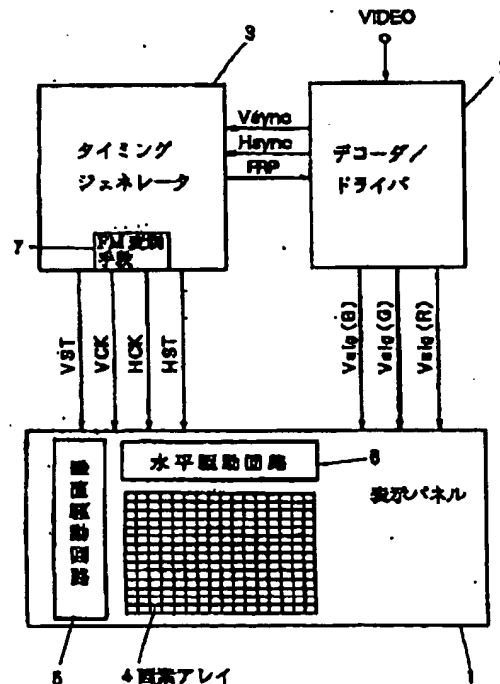
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 駆動回路を内蔵するアクティブマトリクス型表示パネルの画面リニアリティを簡便な構成で調整可能とする。

【構成】 表示装置は表示パネル1と、これに映像信号 V s i g を入力するデコーダ/ドライバ2と、表示パネル1にクロック信号 V C K , H C K を入力するタイミングジェネレータ3とを備えている。表示パネル1は行列配置した画素アレイ4と、垂直駆動回路5及び水平駆動回路6を備えている。これらの駆動回路5、6は入力されたクロック信号 V C K , H C K に応じて動作し、入力された映像信号 V s i g を順次画素アレイ4に書き込んで画面を表示する。タイミングジェネレータ3は与えられたリニアリティデータに従ってクロック信号 V C K , H C K の周波数を変調する F M 変調手段7を備えており、表示された画面のリニアリティを調整する。



(2)

特開平8-65609

1

【特許請求の範囲】

【請求項1】 表示パネルと、これに映像信号を入力するデコーダ／ドライバと、該表示パネルにクロック信号を入力するタイミングジェネレータとを備えた表示装置であって、

前記表示パネルは、行列配置した画素アレイと、入力されたクロック信号に応じて動作し入力された映像信号を順次該画素アレイに書き込んで画面を表示する駆動手段とを備えており、

前記タイミングジェネレータは与えられたリニアリティデータに従って該クロック信号の周波数を変調するFM変調手段を備えており、表示された該画面のリニアリティを調整する事の特徴とする表示装置。

【請求項2】 前記FM変調手段は位相比較器及び電圧制御発振器を含むフェーズロックループ回路であり、該位相比較器の入力端子には映像信号から分離した同期信号が印加され、該電圧制御発振器の入力端子には該リニアリティデータに応じた制御電圧が混合され、該電圧制御発振器の出力端子から周波数変調されたクロック信号が取り出される事の特徴とする請求項1記載の表示装置。

【請求項3】 前記駆動手段は水平クロック信号に応じて該画素アレイの一行分に対し順次映像信号のサンプリングを行なう水平駆動回路を含んでおり、前記FM変調手段は与えられた水平リニアリティデータに従って該水平クロック信号を周波数変調し該表示画面の水平リニアリティを調整する事の特徴とする請求項1記載の表示装置。

【請求項4】 前記駆動手段は垂直クロック信号に応じて該画素アレイの各行を順次選択する垂直駆動回路を含んでおり、前記FM変調手段は与えられた垂直リニアリティデータに従って該垂直クロック信号を周波数変調し該表示画面の垂直リニアリティを調整する事の特徴とする請求項1記載の表示装置。

【請求項5】 前記表示パネルは16対9のワイド画面を表示可能な画素アレイを有しており、前記デコーダ／ドライバは4対3のノーマル画面に対応した映像信号を該表示パネルに入力し、前記タイミングジェネレータはノーマル画面をワイド画面に適合して表示する様にそのリニアリティを調整可能なFM変調手段を備えている事の特徴とする請求項1記載の表示装置。

【請求項6】 前記表示パネルはアクティブマトリクス型の液晶表示パネルである事の特徴とする請求項1記載の表示装置。

【請求項7】 行列配置した画素アレイとその駆動回路を内蔵する表示パネルにクロック信号を供給し該駆動回路を動作させて該画素アレイに画面を表示させる為のタイミングジェネレータであって、

与えられたリニアリティデータに従って該クロック信号の周波数を変調するFM変調手段を備えており、該表示

2

パネルに表示された画面のリニアリティを調整する事の特徴とするタイミングジェネレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス型の表示パネルと、これに映像信号を入力するデコーダ／ドライバと、表示パネルにクロック信号を入力するタイミングジェネレータとを備えた表示装置に関する。より詳しくは、表示パネルに表示された画面のリニアリティ調整技術に関する。

【0002】

【従来の技術】アクティブマトリクス型の表示パネルは行状に配線した複数のゲートラインと列状に配線した複数の信号ラインと両者の各交差部に設けられた複数の画素とを有している。この画素は、例えば微細な液晶セルからなり行列状に配置して画面を構成する。個々の画素に対応してこれをスイッチングする為薄膜トランジスタが集積形成されている。又、垂直駆動回路を備えており、タイミングジェネレータから入力される垂直クロック信号に応じて動作し各ゲートラインを順次垂直走査して一水平期間毎に一行分の画素を選択する。さらに、水平駆動回路を有しており、同じくタイミングジェネレータから入力される水平クロック信号に応じて一水平期間内で各信号ラインを順次走査し、デコーダ／ドライバから入力された映像信号をサンプリングして、選択された一行分の画素に点順次でこれを書き込む。

【0003】

【発明が解決しようとする課題】ところで、現行のテレビジョン用映像信号には種々の規格があり、例えばNTSC方式に従った映像信号と、ハイビジョン方式の映像信号が挙げられる。図8に示す様に、NTSC方式の映像信号は4対3のアスペクト比を有する表示パネルに入力されノーマル画面が写し出される。一方、ハイビジョン方式の映像信号は16対9のアスペクト比を有する表示パネルに入力され、横長のワイド画面が写し出される。この様に、現行の表示パネルには4対3のアスペクト比を有するノーマル画面用と、16対9のアスペクト比を有するワイド画面用があり、各々映像信号の規格に従って使い分けられる。しかしながら、ハイビジョン方式対応のワイド画面表示パネルに、NTSC方式の映像信号が入力される場合もある。即ち、ワイド画面対応の表示パネルで、ハイビジョン方式の映像信号とNTSC方式の映像信号を兼用する場合である。この時、表示パネルに内蔵した垂直駆動回路及び水平駆動回路はタイミングジェネレータから供給される一定のクロック信号に応じて動作する為、NTSC方式の映像信号を入力した場合、横方向に伸長された（即ち上下方向に潰れた）画面がワイド対応の表示パネルに写し出される事になる。即ち、従来のワイド対応表示パネルでは水平方向あるいは垂直方向の画面リニアリティを調整できない為、間延

(3)

特開平8-65609

3

びした画面が写し出される事になり解決すべき課題となっている。

【0004】ところでテレビジョン用のディスプレイには表示パネルの他に従来ブラウン管が広く採用されている。図9に示す様に、ブラウン管にも4対3のアスペクト比を有するノーマル対応と、16対9のアスペクト比を有するワイド対応とがある。ブラウン管を用いた場合、NTSC方式の映像信号をワイド対応にする為、画像処理を行なっている。即ち、NTSC方式の映像信号を一旦画像メモリ等へ書き込み所定の演算処理を施してリニアリティを調節している。図9に示した例では、ワイド画面の周辺だけを伸長する事により見栄えの良い画像を写し出しており、パノラマモードあるいはシネラマモードと呼ばれている。この様に、画像メモリ等を用いれば画面のリニアリティは自由に調整する事が可能になる。しかしながら、映像信号をデジタル処理する方式であるので、部品点数の増大を招き表示パネル等にこの方法を応用する事は必ずしも適当でない。

【0005】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は簡便な方式で表示パネルに写し出された画面のリニアリティを調整もしくは補正する技術を提供する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明にかかる表示装置は基本的な構成として、表示パネルと、これに映像信号を入力するデコーダ/ドライバと、該表示パネルにクロック信号を入力するタイミングジェネレータとを備えている。前記表示パネルは、行列配置した画素アレイと周辺の駆動手段とを内蔵している。この駆動手段はタイミングジェネレータから入力されたクロック信号に応じて動作し、デコーダ/ドライバから入力された映像信号を順次該画素アレイに書き込んで画面を表示する。本発明の特徴事項として、前記タイミングジェネレータはFM変調手段を備えており、与えられたリニアリティデータに従って該クロック信号の周波数を変調し、表示された該画面のリニアリティを調整する。具体的には、前記FM変調手段は位相比較器及び電圧制御発振器を含むフェーズロックループ回路からなる。該位相比較器の入力端子には映像信号から分離した同期信号が印加され、該電圧制御発振器の入力端子には該リニアリティデータに応じた制御電圧が混合される。この結果、該電圧制御発振器の出力端子から周波数変調されたクロック信号が取り出される。

【0006】さらに具体的には、前記駆動手段は水平クロック信号に応じて該画素アレイの一行分に対し順次映像信号のサンプリングを行なう水平駆動回路を含んでいる。前記FM変調手段は与えられた水平リニアリティデータに従って該水平クロック信号を周波数変調し該表示画面の水平リニアリティを調整する。又、前記駆動手段は垂直クロック信号に応じて該画素アレイの各行を順次

4

選択する垂直駆動回路を含んでいる。前記FM変調手段は与えられた垂直リニアリティデータに従って該垂直クロック信号を周波数変調し該表示画面の垂直リニアリティを調整する。一形態によれば、前記表示パネルは16対9のワイド画面を表示可能な画素アレイを有しており例えばアクティブマトリクス型の液晶表示パネルを採用する。一方、前記デコーダ/ドライバは4対3のノーマル画面に対応した映像信号を該表示パネルに入力する。この場合、前記タイミングジェネレータに含まれるFM変調手段は、ノーマル画面をワイド画面に適合して表示する様にそのリニアリティを調整可能にする。

【0007】

【作用】本発明によれば、タイミングジェネレータがクロック信号を生成し、表示パネルに内蔵した水平駆動回路及び垂直駆動回路の動作を制御して、表示された画面のリニアリティを調整している。即ち、タイミングジェネレータはFM変調手段を有しており、クロック信号の周波数をFM変調する事により、表示画面のリニアリティ補正が可能になる。FM変調手段は予め設定されたりリニアリティデータを制御電圧に変換し、フェーズロックループ回路の電圧制御発振器に印加する。水平方向のリニアリティを調整する場合には、フェーズロックループ回路の入力に水平同期信号を入力すると共に、電圧制御発振器の入力に水平リニアリティデータに対応した制御電圧を印加する。これにより、電圧制御発振回路から周波数変調された水平クロック信号が出力される。例えば、水平リニアリティデータに従って水平クロック信号が高速になった時には、映像信号のサンプリングレートが高くなる為、水平方向に画面が伸長する。一方、垂直方向のリニアリティを補正する場合は、フェーズロックループ回路の入力に垂直同期信号を入力すると共に、電圧制御発振器の入力に垂直リニアリティデータに対応した制御電圧を印加する。これにより、電圧制御発振器の出力から周波数変調された垂直クロック信号が出力される。

【0008】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示装置の基本的な構成を示すブロック図である。図示する様に、本表示装置は表示パネル1とこれに映像信号を供給するデコーダ/ドライバ2と表示パネル1の駆動を制御するタイミングジェネレータ3とを備えている。表示パネル1は複数の画素が行列配置した画素アレイ4と垂直駆動回路5と水平駆動回路6とを有している。画素アレイ4は例えばハイビジョン規格に従って配列した無数の画素を含んでおり、16対9のアスペクト比を有する画面を構成する。なお、本発明はこれに限られるものではなく、画素アレイ4は例えばNTSC規格に従った4対3のアスペクト比を有する画面を構成するものであっても良い。垂直駆動回路5は一水平期間毎に一行分の画素を順次選

(4)

特開平8-65609

5

択し、一垂直期間で画面の垂直走査を一回終了する。水平駆動回路6は選択された一行分の画素に対して映像信号の一水平期間分を書き込む。

【0009】デコーダ/ドライバ2は例えば5Vの電源電圧の供給を受けるデコーダ部と12Vの電源電圧の供給を受けるドライバ部とを有している。デコーダ部は外部から入力された複合映像信号VIDEOをデコードし輝度信号とクロマ信号を取り出す。又、複合映像信号VIDEOから分離した垂直同期信号Vsync及び水平同期信号Hsyncをタイミングジェネレータ3側に転送する。ドライバ部はタイミングジェネレータ3から入力される反転信号FRPに応じて、交流化された映像信号VsigをRGB三原色毎に分けて表示パネル1側に供給する。

【0010】タイミングジェネレータ3は同期信号Vsync、Hsyncに基づいて種々のタイミング信号を作成し表示パネル1に供給してそのタイミング制御を行なう。即ち、垂直スタート信号VST及び垂直クロック信号VCKを垂直駆動回路5に供給して一行分の画素を順次選択せしめる。又、水平スタート信号HSTや水平クロック信号HCKを水平駆動回路6に供給して、選択された一行分の画素に対し映像信号Vsigの一水平期間分を書き込ませる。

【0011】本発明の特徴事項として、タイミングジェネレータ3はFM変調手段7を備えており、予め設定されたリニアリティデータに従ってクロック信号の周波数を変調し、画素アレイ4に表示された画面のリニアリティを調整する。具体的には、FM変調手段7は所定の水平リニアリティデータに従って水平クロック信号HCKを周波数変調し、表示画面の水平リニアリティを調整する。又、所定の垂直リニアリティデータに従って垂直クロック信号VCKを周波数変調し表示画面の垂直リニアリティを調整する。

【0012】図2は、図1に示したFM変調手段の具体的な構成例を示すブロック図であり、本例では水平クロック信号HCKをFM変調している。図示する様に、FM変調手段はフェーズロックループ回路(PLL)から構成されており、一水平期間毎に出力される水平同期信号Hsyncに同期して水平クロック信号HCKを出力する。PLLは電圧制御発振器(VCO)11と1/n分周器12と位相比較器(P/C)13と低域濾波器(LPF)14とからなる位相固定閉ループで構成されている。VCO11で生成されたHCKを分周器12で1/nに分周する。位相比較器13は分周器12の出力と水平同期信号Hsyncの位相比較を行なう。この水平同期信号はデコーダ/ドライバにより外部入力された映像信号から分離抽出されたものである。位相比較器13の出力結果はLPF14を介してエラー信号となりVCO11にフィードバックをかけその発振周波数を調整する。この結果、水平同期信号Hsyncに位相固定さ

6

れた水平クロック信号HCKが生成される。本回路の特徴事項として、設定器15を備えており、所望の水平リニアリティデータが設定されている。この水平リニアリティデータは一水平期間分に相当する長さを有している。水平リニアリティデータはアンプ16を介して対応する制御電圧に変換され、VCO11の入力端子に混合される。この制御電圧の大きさに応じてVCO11の発振周波数が変化し、HCKのFM変調が行なわれる。図示の例では、一水平期間の中央部でリニアリティデータが小さな値を示し、これに応じてHCKの周波数は比較的低くなる。これに対し、リニアリティデータは水平期間の前部及び後部で大きくなっており、これに応じてHCKの周波数が高くなる。

【0013】図3は、FM変調手段の他の具体的な構成例を示すブロック図であり、本例では垂直クロック信号VCKをFM変調している。基本的な構成は、図2に示した回路と同様であり、VCO21、1/m分周器22、P/C23、LPF24等からなるフェーズロックループ回路である。特徴事項として設定器25を備えており一垂直期間分の垂直リニアリティデータを記録している。このデータはアンプ26を介して対応する制御電圧に変換され、VCO21の入力端子に印加される。又、P/C23の入力端子には垂直同期信号Vsyncが印加される。

【0014】図4は、FM変調手段のさらに別の例を示す回路図である。本例では、HCK及びVCKの両者をFM変調して出力する。基本的には、図2に示したフェーズロックループ回路と図3に示したフェーズロックループ回路を直列に接続した構成となっており、対応する部分には対応する参照番号を付して理解を容易にしている。図示する様に、前段フェーズロックループ回路の入力端子には垂直同期信号Vsyncが印加され、VCO21からFM変調された垂直クロック信号VCKが出力される。このVCKは表示パネルに供給されると共に、水平同期信号の代わりとして後段フェーズロックループ回路の入力端子に印加される。この結果、VCO11からFM変調された水平クロック信号HCKが出力する。

【0015】次に、図5を参照して本発明にかかる表示装置の動作を詳細に説明する。例えば、映像信号Vsigとして一部に円形ボタンが含まれたVsigが表示パネルに供給されたとする。一方、水平クロック信号HCKは与えられた水平リニアリティデータに従ってFM変調されている。(A)はHCKの周波数が比較的低い場合であり、Vsigに含まれる円形ボタンが4個のHCKに同期してサンプリングされている。なお、この個数は説明を簡略化する為であり、実際はこれより多い。

(B)に示す状態では、HCKの周波数が高くなっており、Vsigに含まれる円形ボタンは7個のHCKに応じてサンプリングされている。例えば、(A)で示す様に比較的低速のHCKに応じてサンプリングされた円形

(5)

特開平8-65609

7

ボタンは、略原形通りの画像として表示される。一方、高速のHCKでサンプリングされた場合は、(B)に示す様に横方向に伸長した画像となって写し出される。この様に、本発明ではHCKの周波数を変調するだけで画面の水平方向リニアリティを自在に調整もしくは補正できる。同様に、VCKの周波数を変調する事により画面垂直方向のリニアリティを自在に調整もしくは補正する事が可能になる。

【0016】図6はリニアリティ補正の例を示す模式図である。何れの場合も4対3のノーマル画面に対応した映像信号を表示パネルに入力した場合であり、これに対し表示パネルは16対9のワイド画面を表示可能な画素アレイを備えている。タイミングジェネレータに内蔵されたFM変調手段はノーマル画面をワイド画面に適合して表示する様にそのリニアリティを調整している。例えば(A)の場合、水平リニアリティデータが一水平期間の前部及び後部で大きくなっており、表示された画面は左右周辺だけ横方向に伸長している。(B)の例では垂直リニアリティデータが一垂直期間の前部及び後部で大きな値を有しており、表示された画面は周辺部だけ上下に伸長している。(C)に示す例は、(A)と(B)を複合したものであり、画面周辺部がコーナ部に向って伸長している。

【0017】最後に、図7を参照して図1に示した表示パネルの具体的な構成例を説明する。この表示パネルは行状に配線した複数のゲートラインXと列状に配線した複数の信号ラインYと両者の交差部に設けられた複数の画素PXLとを有している。この画素PXLは例えば微細な液晶セルからなり行列状に配置して画素アレイを構成する。個々の画素PXLに対してこれを駆動する為薄膜トランジスタTr等のスイッチング素子が集積形成されている。又、垂直駆動回路5を備えており、VST及びFM変調されたVCKに応じて各ゲートラインXを順次垂直走査して一水平期間毎に一行分の画素PXLを選択する。一垂直期間で一回の垂直走査を完了する。さらに、水平駆動回路6を有しており、HST及び周波数変調されたHCKに応じて一水平期間内で各信号ラインYを順次走査し、ビデオライン30から供給された映像信号Vsigをサンプリングして選択された一行分の画素PXLに点順次で書き込む。具体的には、各信号ラインYは水平スイッチHSWを介してビデオライン30に接続されており外部から映像信号Vsigの供給を受ける。水平駆動回路6はシフトレジスタからなり、HCK

8

に応じてHSTを順次転送する事により、順次サンプリングパルスφ₁を出力し、各水平スイッチHSWを順次開閉駆動して各信号ラインYに映像信号Vsigをサンプリングする。

【0018】

【発明の効果】以上説明した様に、本発明によれば表示パネルに内蔵される駆動回路を構成するシフトレジスタのクロック信号を周波数変調する事により表示画面のリニアリティ調整が可能となり、何等映像信号のデジタル処理あるいはアナログ処理を行なう必要がない。即ち、表示パネルの駆動に本来必要なクロック信号を周波数変調する事によりリニアリティ補正が実現でき、少ない部品点数で対応できるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかる表示装置の全体構成を示すブロック図である。

【図2】本発明の要部となるFM変調手段の一例を示す回路図である。

【図3】FM変調手段の他の例を示す回路図である。

【図4】FM変調手段の別の例を示す回路図である。

【図5】本発明にかかる表示装置の動作説明に供する模式図である。

【図6】画面リニアリティ補正の例を示す模式図である。

【図7】本発明にかかる表示装置に組み込まれる表示パネルの一例を示すブロック図である。

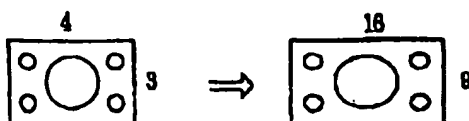
【図8】本発明の課題説明に供する模式図である。

【図9】同じく本発明の課題説明に供する模式図である。

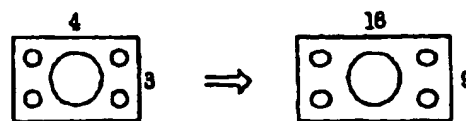
【符号の説明】

- 1 表示パネル
- 2 デコーダ/ドライバ
- 3 タイミングジェネレータ
- 4 画素アレイ
- 5 垂直駆動回路
- 6 水平駆動回路
- 7 FM変調手段
- 11 電圧制御発振器
- 12 1/n分周器
- 13 位相比較器
- 14 低域濾波器
- 15 設定器
- 16 アンプ

【図8】



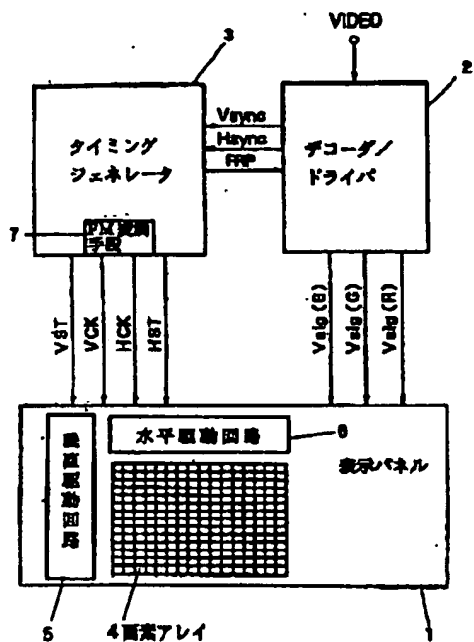
【図9】



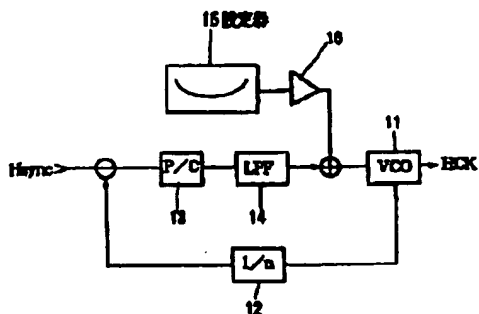
(6)

特開平8-65609

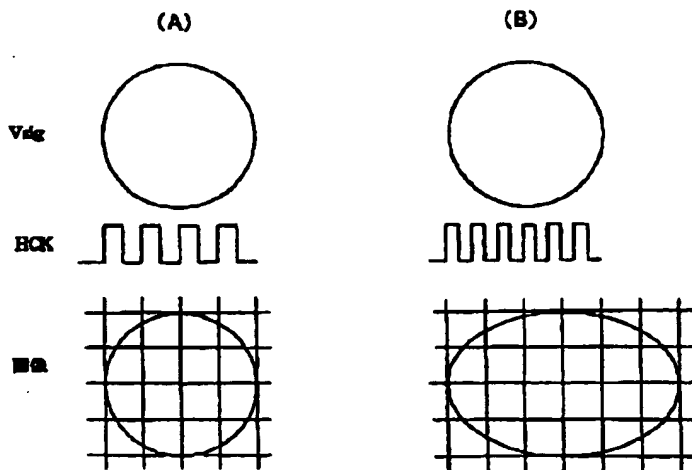
【図1】



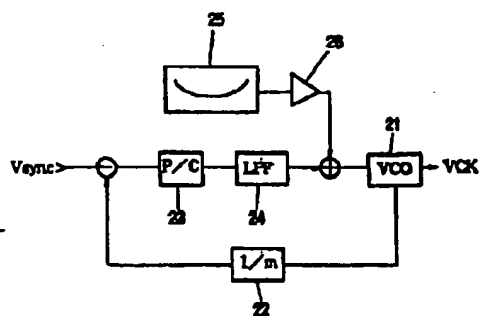
【図2】



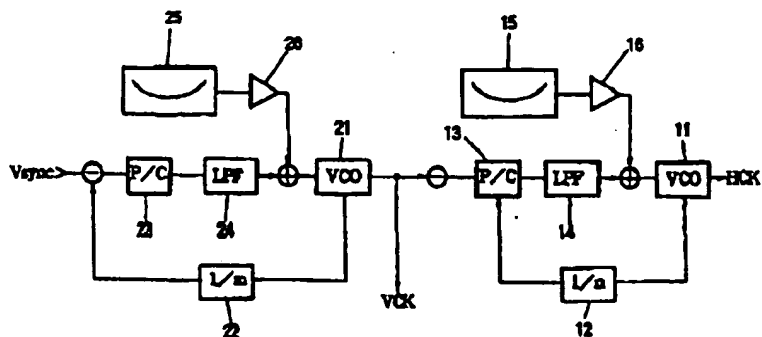
【図5】



【図3】



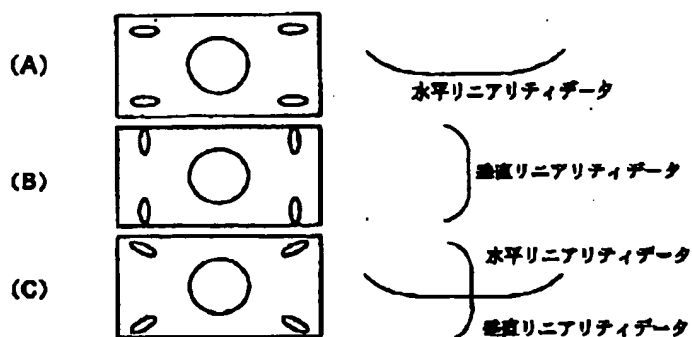
【図4】



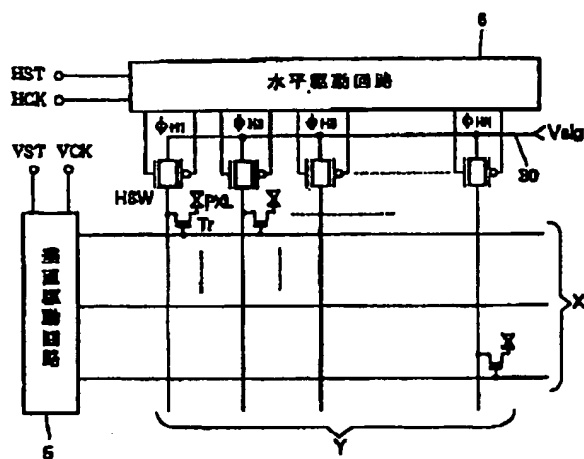
(7)

特開平8-65609

【图6】



【図7】



フロントページの続き

(51) Int. Cl.⁶
G 0 9 G

識別記号 520 W 庁内整理番号 9377-5H

FI

技術表示箇所

***This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.